

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-304791

(43)公開日 平成9年(1997)11月28日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
1/1333			1/1333	
1/1335	5 2 0		1/1335	5 2 0
1/1343			1/1343	

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21)出願番号 特願平8-120187

(22)出願日 平成8年(1996)5月15日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小村 真一

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 伊東 理

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 桧山 郁夫

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74)代理人 弁理士 高田 幸彦 (外1名)

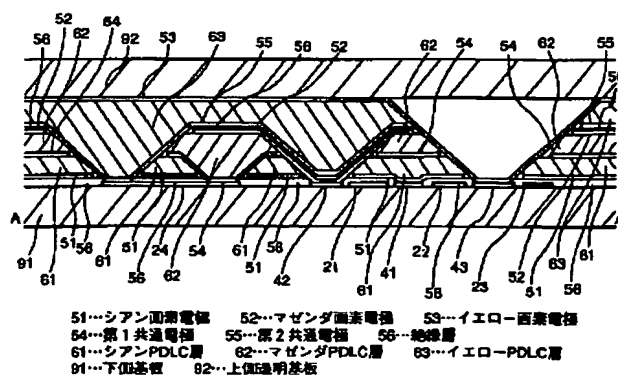
(54)【発明の名称】 カラー液晶表示素子及びこれを用いたカラー液晶表示装置

(57)【要約】

【課題】コスト低減に結び付くカラー液晶表示素子を提供する。

【解決手段】カラー液晶表示素子は、下側基板91、絶縁層56、シアン画素電極51、シアンPDLC層61、第1共通電極54、マゼンダPDLC層62、マゼンダ画素電極52、絶縁層56、第2共通電極55、イエローPDLC層63、イエロー画素電極53、上側透明基板92が順に多層構造に積層してなる複数の画素1からなり、下側基板91は、各PDLC層に対応している当該基板の同一面上に1層構造で形成した3個のTFTを有し、各画素電極は、各TFTのソース電極にそれぞれ対応して、かつ各共通電極は各TFTのドレイン電極にそれぞれ対応して、4種類のスルーホールを介し接続されている。

図 3



【特許請求の範囲】

【請求項1】複数個の画素が、行・列方向に配置されているカラー液晶表示素子であって、

該画素は、第1の液晶を第1の画素電極と第1の共通電極とで挟持した第1の液晶層と、第2の液晶を第2の画素電極と第2の共通電極とで挟持した第2の液晶層と、第3の液晶を第3の画素電極と第3の共通電極とで挟持した第3の液晶層と、前記第1、第2、第3の液晶層を挟持する第1の基板及び第2の基板とを積層したものであり、

前記基板のどちらか一方は、前記各液晶層に対応し、当該基板の同一面上に形成した1画素につき3個の薄膜トランジスタを有し、

前記第1、第2、第3の画素電極は、前記各薄膜トランジスタのソース電極に接続手段を介しそれぞれ接続されていることを特徴とするカラー液晶表示素子。

【請求項2】請求項1において、前記接続手段は、前記画素の端部に設けた傾斜面に形成した導電性膜であることを特徴とするカラー液晶表示素子。

【請求項3】請求項1において、前記基板は、前記薄膜トランジスタに隣接して当該基板の同一面上に形成したスイッチング素子を有し、

該スイッチング素子は、前記薄膜トランジスタのゲート電位を保持することを特徴とするカラー液晶表示素子。

【請求項4】請求項1において、前記第1と第2の共通電極、または、前記第2と第3の共通電極、または、前記第1と第3の共通電極は、一体化され共用されていることを特徴とするカラー液晶表示素子。

【請求項5】請求項1において、前記3個の薄膜トランジスタは、前記画素の行方向に配列され、

前記基板は、当該基板の同一面上に形成した前記各ドレイン電極側に対応して接続するための3本の信号電極線と、前記薄膜トランジスタのゲート電極側に接続するためのゲート電極線とを有し、

前記各信号電極線は、前記画素の列方向に延長し、かつ、前記行方向に配列され、前記ゲート電極線は、前記行方向に延長していることを特徴とするカラー液晶表示素子。

【請求項6】請求項1において、前記薄膜トランジスタを有する前記基板に隣接する1個の前記画素電極または前記共通電極は、光を反射する部材からなることを特徴とするカラー液晶表示素子。

【請求項7】請求項1ないし請求項6のいずれか1項記載のカラー液晶表示素子を用いたことを特徴とするカラー液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶を用いたカラー液晶表示素子に係り、特に反射型液晶表示装置においてカラーフィルタを用いずに明るいカラー表示を実現す

る方法に関する。

【0002】

【従来の技術】カラーフィルタを用いた方式では、赤、緑、青の3つの画素を用いて白表示を行なっているのが原理的に1/3の明るさになってしまうが、特開平6-3691号公報に開示された、シアン、マゼンダ、イエローの二色性色素を含んだ3層のポリマー分散型液晶層(以下、PDLC層という)をファイバプレートを用いて積層する技術では、カラーフィルタを用いないのでカラーフィルタを用いた方式に比べて3倍の明るさが実現できる。

【0003】

【発明が解決しようとする課題】しかし、上記技術では、大容量の表示を行なうためには各PDLC層が薄膜トランジスタ(以下、TFTという)で駆動される必要があり、したがって、各PDLC層の3層に分散して設置されるTFTが必要となる。通常のカラーフィルタを用いたカラー液晶表示装置ではTFTは1層に形成されていて、これに比べれば、上記技術ではコストが約3倍となる。また、通常の方式では不要であるファイバプレートを用いる点もコストアップに繋がっている。

【0004】したがって、本発明の目的は、コスト低減に結び付くカラー液晶表示素子及びカラー液晶表示装置を提供するにある。

【0005】

【課題を解決するための手段】上記目的を達成するカラー液晶表示素子は、複数個の画素が、行・列方向に配置されているカラー液晶表示素子であって、該画素は、第1の液晶を第1の画素電極と第1の共通電極とで挟持した第1の液晶層と、第2の液晶を第2の画素電極と第2の共通電極とで挟持した第2の液晶層と、第3の液晶を第3の画素電極と第3の共通電極とで挟持した第3の液晶層と、前記第1、第2、第3の液晶層を挟持する第1の基板及び第2の基板とを積層したものであり、前記基板のどちらか一方は、前記各液晶層に対応し、当該基板の同一面上に形成した1画素につき3個の薄膜トランジスタを有し、前記第1、第2、第3の画素電極は、前記各薄膜トランジスタのソース電極に接続手段を介しそれぞれ接続されているものである。

【0006】また、目的を達成するカラー液晶表示装置は、請求項1ないし請求項6のいずれか1項記載のカラー液晶表示素子を用いてカラー表示するものである。

【0007】本発明によって、1画素につき3個の薄膜トランジスタを基板の同一面上に形成するので、コスト低減に結び付くカラー液晶表示素子及びカラー液晶表示装置が提供される。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照し説明する。図1は、本発明による第1実施例のカラー液晶表示素子を示す図である。液晶を用

いたカラー液晶表示素子の画素と電極線の関係を拡大して示している。そして、図2は、図1の1画素分の電極構成を示す図である。図3は、図2のA-A'の断面構造を示す図である。図4は、図2のB-B'の断面構造を示す図である。図1～図4を同時に参照して、第1実施例のカラー液晶表示素子の構成について説明する。

【0009】図1において、画素1が縦横に、すなわち、行・列方向に4個ずつ配列されていて、4×4画素の場合の構成を示している。各画素1の下には、行方向に延長するストライプ状のゲート電極線10が列方向に配列され、列方向に延長するストライプ状のシアン信号電極線21、マゼンダ信号電極線22、イエロー信号電極線23および共通電極線24が行方向に配列されている。なお、共通電極線24を含めた上記信号電極線は、TFTのドレイン電極を形成する。

【0010】また、各画素1の下には、3個のTFT(図2に示す31, 32, 33)が配置されており、各画素電極(図3に示す51, 52, 53)に印加される電圧が制御される。これらの各TFTと各画素電極は、斜線で示したコンタクト領域26にて接続される。

【0011】図2において、シアン信号電極線21とシアン・ソース電極41との導通をスイッチングする1個の薄膜トランジスタとしてのシアンTFT31があり、このシアンTFT31はゲート電極線10の電位によって制御される。同様に、マゼンダ信号電極線22とマゼンダ・ソース電極42との導通をスイッチングするマゼンダTFT32、および、イエロー信号電極線23とイエロー・ソース電極43との導通をスイッチングするイエローTFT33があり、ゲート電極線10の電位によって制御される。

【0012】図中のa, b部において、共通電極線24は、それぞれ図3に示すように第2共通電極55, 第1共通電極54に接続されている。また、シアン・ソース電極41, マゼンダ・ソース電極42, イエロー・ソース電極43は、シアン画素電極51, マゼンダ画素電極52, イエロー画素電極53に、それぞれ対応して接続される。

【0013】本実施例のように基板の同一面上に1層構造で形成した3つのTFTの配列としては、同一平面上に行方向に並べて配置するほかに、列方向に並べる方法もあるが、列方向に並べる場合は、ドレイン電極としてのシアン信号電極線、マゼンダ信号電極線及びイエロー信号電極線に交差部が生じる。この場合は、それぞれを別のプロセスで作製しなくてはならない。しかし、本実施例のように行方向に並設すれば、交差部は生じず、同一のプロセスで作製することができ、プロセス簡略化に有効である。

【0014】そして、図4に示すように、第1実施例のカラー液晶表示素子の構成は、第2の基板としての下側基板91、絶縁層56、第3の画素電極としてのシアン

画素電極51、第3の液晶としてのシアンPDLC層61、第3の共通電極並びに第2の共通電極としての第1共通電極54、第2の液晶としてのマゼンダPDLC層62、第2の画素電極としてのマゼンダ画素電極52、絶縁層56、第1の共通電極としての第2共通電極55、第1の液晶としてのイエローPDLC層63、第1の画素電極としてのイエロー画素電極53、第1の基板としての上側透明基板92が順に積層されているものである。

【0015】シアンPDLC層61は、液晶と少量のシアンを呈する二色性色素からなる液晶の小滴(液晶ドロップレット)がポリマー中に分散したポリマー分散型液晶(PDLC)である。同様にマゼンダPDLC層62は、液晶と少量のマゼンダ色を呈する二色性色素からなる液晶ドロップレットがポリマー中に分散したPDLC、イエローPDLC層63は、液晶と少量の黄色を呈する二色性色素からなる液晶ドロップレットがポリマー中に分散したPDLCである。

【0016】図5～図9は、それぞれ図2のC-C', D-D', E-E', F-F', G-G'の断面構造を示す図である。さらに、第1実施例のカラー液晶表示素子の構成について詳説する。図3及び図5に示すように、シアン画素電極51は、シアン・ソース電極41と接続されている。図3及び図6に示すように、第1共通電極54は、シアンPDLC層61に開けた、電気的な接続手段としてのスルーホールを介して、ドレイン電極としての共通電極線24に接続されている。従って、シアンPDLC層61は、シアン画素電極51と第1共通電極54とに挟まれて、第1の液晶層が形成される。

【0017】図3および図7に示すように、マゼンダ画素電極52は、シアンPDLC層61、第1共通電極54、マゼンダPDLC層62に開けたスルーホールを介して、マゼンダ・ソース電極42に接続されている。共通電極線24に接続されている第1共通電極54は、マゼンダPDLC層62の制御にも共用されている。従って、マゼンダPDLC層62は、マゼンダ画素電極52と第1共通電極54とに挟まれて、第2の液晶層が形成される。また、本第1実施例の場合では、第1共通電極54が、シアンPDLC層61とマゼンダPDLC層62との制御に共用される「共用電極」となっている。したがって、「共用電極」は、前述の第3の共通電極ならびに第2の共通電極としての第1共通電極54を指している。

【0018】図3及び図8に示すように、第2共通電極55は、シアンPDLC層61、第1共通電極54、マゼンダPDLC層62、マゼンダ画素電極52、絶縁層56に開けたスルーホールを介して、共通電極線24に接続されている。図3および図9に示すように、イエロー画素電極53は、シアンPDLC層61、第1共通電極54、マゼンダPDLC層62、マゼンダ画素電極52、絶縁層56、第2共通電極55、イエローPDLC層63に開けたスルーホールを介して、イエロー・ソース電極43に接続され

ている。従って、イエローPDLC層63は、イエロー画素電極53と第2共通電極55とに挟まれて、第3の液晶層が形成される。

【0019】この場合の第2共通電極55はイエローPDLC層63の制御にのみ使われ、第1共通電極54のような「共用電極」とはなっていないものである。図示していないが、第1共通電極54の部位の代わりに第2共通電極55の部位を「共用電極」とすることは可能である。また、3個のPDLC層に対応した3個の共通電極を設ける構成でも可である。「共用電極」はコスト低減のためである。

【0020】以上のような構成では、4種類のスルーホールを介して、3層のPDLC層を駆動するための、下側基板91上に1層構造で形成された3個のTFT(31,32,33)(即ち、TFTを構成するソース電極(41,42,43)ならびにドレイン電極(24を介して21,22,23))に電気的に接続されていると言える。

【0021】このとき、第2共通電極55をイエローソース電極43に、イエロー画素電極53を共通電極線24に接続してもイエローPDLC層63を挟む電極の関係はかわらないが、この場合には、マゼンダ画素電極52とのカップリングによって第2共通電極55の電位が不安定となるので好ましくない。

【0022】ここで、図3、図6～9に示すようにスルーホールの壁面は概ね45度の傾斜となっている。スルーホールの部分は所望の電圧が印加されないので表示に寄与しない。したがって、スルーホールの部分は小さいほうが望ましい。傾斜角を小さくするとスルーホールが大きくなり望ましくない。一方、傾斜角が大きいと接続不良が起こりやすい。したがって適当な角度である概ね45度が望ましい。

【0023】以上を纏めれば、次の通りである。本発明によるカラー液晶表示素子は、行列方向に配置した画素に対応した第1の画素電極と、第1の共通電極に挟まれたポリマー中に、シアンの二色性色素を含む液晶が分散した、第1のポリマー分散型液晶層と、画素に対応した第2の画素電極と、第2の共通電極に挟まれたポリマー中に、マゼンダの二色性色素を含む液晶が分散した、第2のポリマー分散型液晶層と、画素に対応した第3の画素電極と、第3の共通電極に挟まれたポリマー中に、イエローの二色性色素を含む液晶が分散した、第3のポリマー分散型液晶層が、各種配線及び1画素につき3個の薄膜トランジスタを備えた基板と透明基板との間に挟持され、第1、第2、第3の画素電極がそれぞれ電気的接続手段を介して薄膜トランジスタに別々に接続された表示素子であると言える。

【0024】換言すれば、本発明の特徴は、コスト低減に結び付くカラー表示を行うために3層のPDLC層を駆動するTFTを1層構造で形成するにある。さらにまた、ファイバプレートを用いない構成にすることにある。即

ち、シアン、マゼンダ、イエローの二色性色素を含有した3層のPDLC層、各層を挟持する画素電極と共通電極、各層を独立に駆動するために同一基板上に設けた1画素あたり3つのTFT、及び各層の画素電極とTFTとを接続する導電性薄膜からなる構成によって実現される。そして、1画素につき3個のTFTが同一基板の同一面上に、例えば1層構造で形成されているので、同一のプロセスで3個のTFTを同時に作製することができプロセス簡略化、すなわちコスト低減に結び付くものである。

10 【0025】一方、各々のPDLC層(61,62,63)が独立したそれぞれの画素電極(51,52,53)と共通電極(54または55)とに挟まれているため、3つのTFTを用いて独立に電圧を印加することができ、その結果、減法混色の原理より任意の色を表示することが可能である。この場合に、各液晶ドロップレットに含有されている二色性色素は、すべてのPDLC層に電圧が印加されていないときに素子が黒色を呈するように調整されている。

20 【0026】換言すれば、シアン、マゼンダ、イエローの各PDLC層は各々TFTで制御された画素電極と共通電極に挟まれているため、独立に駆動される。それぞれのPDLC層は、電圧印加／無印加に対して、透明／シアン、透明／マゼンダ、透明／黄色のスイッチングを行なう。従って、すべてのPDLC層に十分な電圧を印加したときには白表示、電圧を印加しないときには黒表示となる。このときの白表示は理想的には光を吸収しない白表示のため、カラーフィルタを用いた方法に比べると原理的に3倍の明るさが実現できる。また、各層を独立に駆動することによって、減法混色の原理から任意の色を実現することができる。例えば、シアンのPDLC層に十分な電圧を印加し、他には電圧を印加しない場合にはマゼンダのPDLC層で緑色が吸収され、イエローのPDLC層で青色が吸収されるので赤色を呈することができると言える。

30 【0027】ところで、マゼンダ画素電極52、イエロー画素電極53、第1共通電極54第2共通電極55、絶縁層56、上側透明基板92に透明な部材が用いられる。例えば、上記のうちの画素電極及び共通電極にはITOが、絶縁層56ならびに上側透明基板92には透明な絶縁性ポリマーあるいは無機物が用いられる。すなわち、各PDLC層は、PDLC層に対して十分に薄い透明導電体としての各種電極(52,53,54,55,)及び絶縁体としての絶縁層56によって隔てられているので、画素ずれは起きず、従来技術のようなファイバプレートを用いなくても、良好な表示となり、ここに本発明の他の特徴がある。

40 【0028】さらにまた、一番下層の電極であるシアン画素電極51には光を拡散反射する性質を有する部材が用いられる。これは例えば、表面に微細な凹凸を設けたアルミ等の金属をシアン画素電極51として用いることによって実現できる。信号電極線21,22,23及び共通電極線24は、シアン画素電極51の下層にあるの

で、開口率には影響しない。すなわち、電極線は、一番下層の画素電極の下に設けられているので、一番下層の画素電極を反射板として用いれば開口率には影響しないという利点がある。

【0029】またさらに、シアン画素電極51に関しては、光を拡散反射する性質を有する部材の代わりに、鏡面性の金属反射板を用いることにて、または、PDLC層中のポリマー、上側基板92あるいは絶縁層56として、光を適度に散乱する光散乱部材を用いることによって、同等の効果が得られる。また、光散乱部材を用いる代わりに、PDLC層において液晶ドロップレット中の液晶の屈折率と異なる屈折率を有するポリマーを用いることによって、光散乱が得られ同等の効果が得られる。

【0030】以上のような1層構造に形成したTFT層(3個の薄膜トランジスタ)を有する本実施例のカラー液晶表示素子を用いることによって、簡単な構成でコスト低減に結び付いて、かつ、明るい反射型カラー液晶表示装置が実現できる。

【0031】次に、接続手段としてのスルーホール形状について詳説する。図18は、第1実施例のスルーホールの形状を示す図である。第1実施例ではコンタクト(電気的な接続)をスルーホールにより行なっている。良好な表示を行なうためには、各PDLC層は概ね5 μm 以上の厚さが必要である。そして、図18に示すような4つの壁面が45度の傾斜を持っている場合には、最も上層のイエロー画素電極とイエロー・ソース電極を接続するためのスルーホールとして、図18に示すように(30+ α) μm ×(30+ α) μm の領域が必要である。

【0032】図中で $\alpha\mu\text{m}$ × $\alpha\mu\text{m}$ の領域は、イエロー・ソース電極43とイエロー画素電極53とが接する部分である。通常、パーソナルコンピュータ等に用いられている液晶表示装置の画素の大きさは、数百 μm ×数百 μm 程度であり、スルーホールの大きさは画素の大きさに対してかなり大きなものとなる。仮に画素が100 μm ×100 μm で、 $\alpha=5\mu\text{m}$ とすると、画素に対するスルーホールの割合は、(30+5) μm ×(30+5) μm /(100 μm ×100 μm)×100%=12.25%となる。すなわち、画素中で12.25%の部分が表示に無効となる。図3に示すように、全部で4種類のスルーホールが必要であり、第1実施例の場合、画素領域中で表示に無効な部分の割合、即ち、スルーホールの占める割合は大きくなる傾向を有している。

【0033】図10は、本発明による第2実施例のカラー液晶表示素子を示す図である。第2実施例の液晶を用いたカラー液晶表示素子の画素と電極線との関係を拡大して示している。第2実施例は、第1実施例に比べスルーホールの占める割合を小さくする例である。

【0034】4×4画素の場合の構成を示した。各画素の下には行方向に伸びるゲート電極線10、列方向に伸びるシアン信号電極線21、マゼンダ信号電極線22、

イエロー信号電極線23及び共通電極線24が配置してある。また、各画素の下には3個のTFTが配置されており、画素電極に印加される電圧が制御される。これらのTFTと画素電極は斜線で示したコンタクト領域26にて接続される。第1実施例と異なり、コンタクト領域26が、画素1の端部に設けられている。

【0035】図11は、図10の1画素分の電極構成を示す図である。第1実施例と同様に、シアン信号電極線21とシアン・ソース電極41との導通をスイッチングするシアンTFT31があり、このTFTはゲート電極線10の電位によって制御される。同様に、マゼンダTFT32及びマゼンダ・ソース電極42イエローTFT33及びイエロー・ソース電極43がある。

シアン画素電極51、マゼンダ画素電極52及び第1、第2共通電極54、55は、イエロー画素電極53の下層に配置されるため、シアン・ソース電極41、マゼンダ・ソース電極42、あるいは共通電極線24と接する部分を除いた部分は、全てイエロー画素電極53の下に隠れている。

【0036】図12～図17は、それぞれ図11中のA-A'、B-B'、C-C'、D-D'、E-E'、F-F'の断面構造を示す図である。第1実施例と同様、下側基板91、絶縁層56、シアン画素電極51、シアンPDLC層61、第1共通電極54、マゼンダPDLC層62、マゼンダ画素電極52、絶縁層56、第2共通電極55、イエローPDLC層63、イエロー画素電極53、上側透明基板92が順に積層した構造である。

【0037】図12に示すように、シアン画素電極51は、シアン・ソース電極41と接続されている。図13に示すように、第1共通電極54は、絶縁体70の概ね45度の傾斜面に添って、共通電極線24に接続されている。図14に示すように、マゼンダ画素電極52は、絶縁体70の概ね45度の傾斜面に沿って、マゼンダソース電極42に接続されている。図15に示すように、第2共通電極55は、絶縁体70の概ね45度の傾斜面に沿って、共通電極線24に接続されている。図16に示すように、イエロー画素電極53は、絶縁体70の概ね45度の傾斜面に沿って、イエロー・ソース電極43に接続されている。

【0038】本第2実施例の場合も、第1実施例と同様に、「スルーホール的一种」と言える概ね45度の「傾斜面」(または、「傾斜部」)を介して、3層のPDLC層を駆動するための、下側基板91上に1層構造で形成された3個のTFT(31,32,33)(即ち、TFTを構成するソース電極(41,42,43))に電気的に接続されている。

【0039】一方、図19は、第2実施例の傾斜面の形状を示す図である。第2実施例の場合の電気的な接続手段は、画素1の端部にあって当該画素1を斜めに横切るようにして設けた「傾斜面」(または「傾斜部」)に形成した導電性膜としてのイエロー画素電極53である。また、

「傾斜面」の面積は、図19に示すように、最も上層のイエロー画素電極とイエロー・ソース電極の接続の場合でも $15\mu\text{m} \times \alpha\mu\text{m}$ でよい。仮に画素が $100\mu\text{m} \times 100\mu\text{m}$ で、 $\alpha = 5\mu\text{m}$ とすると、画素に対するスルーホール割合は、 $15\mu\text{m} \times 5\mu\text{m} / (100\mu\text{m} \times 100\mu\text{m}) \times 100\% = 0.75\%$ となる。傾斜面が4箇所あっても3%であり、傾斜面の占める割合は小さいものである。このような第2実施例を用いれば、第1実施例の場合に比べ表示に無効な領域を大幅に削減できるという利点がある。

【0040】図20は、本発明によるカラー液晶表示装置に用いられる第3実施例のカラー液晶表示素子の1画素分の電極構成を示す図である。また、図21は、図20の1画素分の等価回路を示す図である。断面構造は第1実施例などと同じなので省略する。第1、2実施例では、シアン、マゼンダ、イエローの各画素に対してのTFTは1個ずつであったが、本実施例では各画素に対しての2個のTFTが直列に接続されている構成である。1個目のメモリTFT34、35、36は、それぞれ2個目の画素TFT37、38、39のゲート電位を制御する。画素TFTは、ON状態の時に(ゲート電位が高いときに)画素電極51、52、53を接地電極線20と導通させる。メモリ保持容量81は書き込まれたメモリTFT34、35、36のゲート電位を保持するための大きな容量である。即ち、薄膜トランジスタとしての画素TFT37、38、39に隣接して当該基板の同一面上に1層構造で形成したスイッチング素子は、メモリTFT34、35、36である。

【0041】画素容量82はPDLC層の容量に比べて非常に小さく、画素TFT37、38、39がOFF状態の時には、第1、第2共通電極54、55と接地電極線20の間に印加される交流電圧は、ほとんど画素容量82に印加されPDLC層に印加される電圧は0になる。一方、画素TFT37、38、39がON状態の時は画素電極51、52、53は接地電極と導通し、したがって、共通電極線24と接地電極線20とのあいだの電圧がPDLC層に印加される。共通電極線に交流を印加しておくと、各PDLC層はメモリTFTのON/OFF状態に対応して、交流電圧印加状態/電圧無印加状態のスイッチングが可能である。このとき、PDLC層に印加される電圧は、第1実施例のような、通常のTFT駆動の場合のように保持される必要がないため、PDLC層として電圧保持率の低い材料を用いることができるという利点がある。また、フレーム周期を長くしても駆動できるという利点もある。本第3実施例を用いることによって、コスト低減に結び付いている電圧保持率が低いPDLCを用いても、明るい反射型カラー液晶表示装置が実現できる。

【0042】

【発明の効果】本発明によれば、低コストで明るい反射型カラー液晶表示装置が提供できる。

【図面の簡単な説明】

【図1】本発明による第1実施例のカラー液晶表示素子を示す図である。

【図2】図1の1画素分の電極構成を示す図である。

【図3】図2のA-A'の断面構造を示す図である。

【図4】図2のB-B'の断面構造を示す図である。

【図5】図2のC-C'の断面構造を示す図である。

【図6】図2のD-D'の断面構造を示す図である。

【図7】図2のE-E'の断面構造を示す図である。

【図8】図2のF-F'の断面構造を示す図である。

【図9】図2のG-G'の断面構造を示す図である。

【図10】本発明による第2実施例のカラー液晶表示素子を示す図である。

【図11】図10の1画素分の電極構成を示す図である。

【図12】図11のA-A'の断面構造を示す図である。

【図13】図11のB-B'の断面構造を示す図である。

【図14】図11のC-C'の断面構造を示す図である。

【図15】図11のD-D'の断面構造を示す図である。

【図16】図11のE-E'の断面構造を示す図である。

【図17】図11のF-F'の断面構造を示す図である。

【図18】第1実施例のスルーホールの形状を示す図である。

【図19】第2実施例の傾斜面の形状を示す図である。

【図20】本発明による第3実施例のカラー液晶表示素子の1画素分の電極構成を示す図である。

【図21】図20の1画素分の等価回路を示す図である。

【符号の説明】

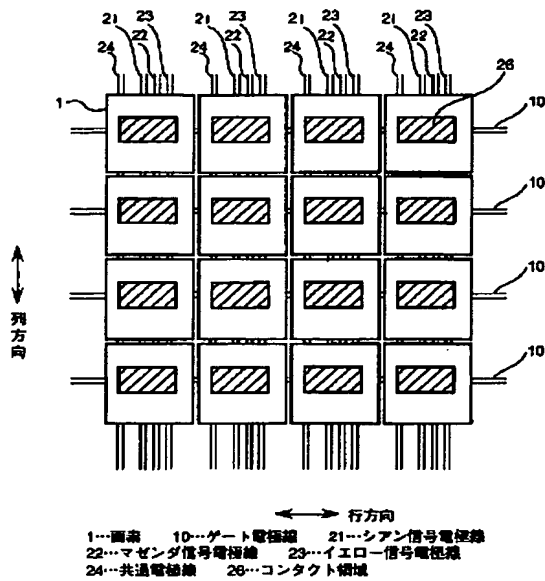
1…画素、10…ゲート電極線、20…接地電極線、21…シアン信号電極線

22…マゼンダ信号電極線、23…イエロー信号電極線、24…共通電極線、26…コンタクト領域、31…シアンTFT、32…マゼンダTFT、33…イエローTFT、34…シアン・メモリTFT、35…マゼンダ・メモリTFT、36…イエローメモリTFT、37…シアン・画素TFT、38…マゼンダ・画素TFT、39…イエロー・画素TFT、41…シアン・ソース電極、42…マゼンダ・ソース電極、43…イエロー・ソース電極、51…シアン画素電極、52…マゼンダ画素電極

53…イエロー画素電極、54…第1共通電極、55…第2共通電極、56…絶縁層、61…シアンPDLC層、62…マゼンダPDLC層、63…イエローPDLC層、70…絶縁体、81…メモリ保持容量、82…画素容量、91…下側基板、92上側透明基板

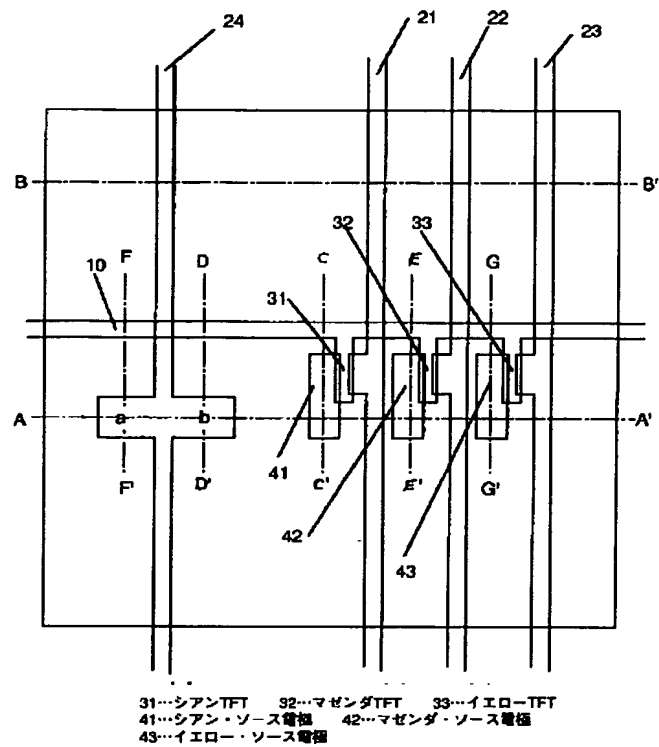
【図1】

図 1



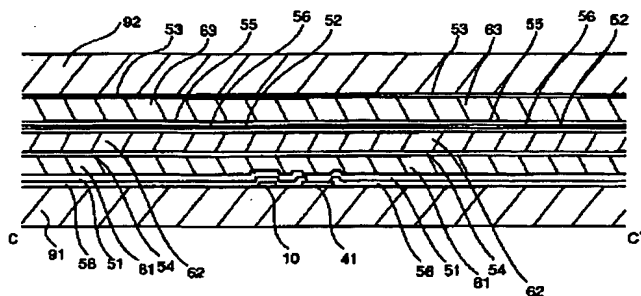
【図2】

図 2



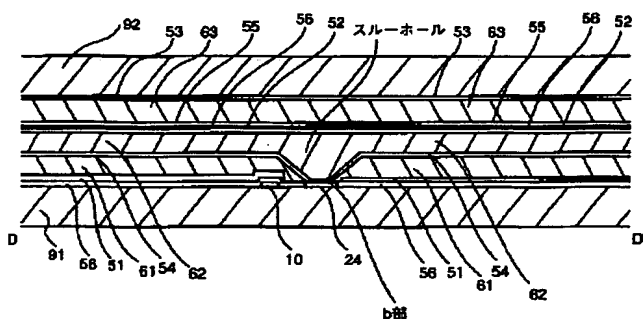
【図 5】

図 5



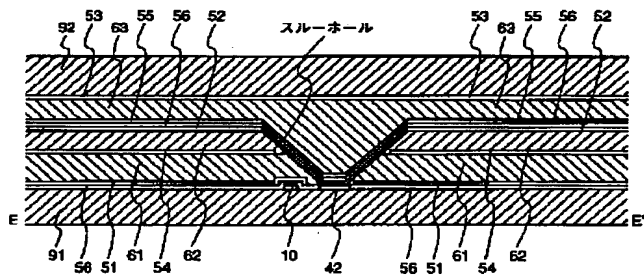
【図 6】

図 6



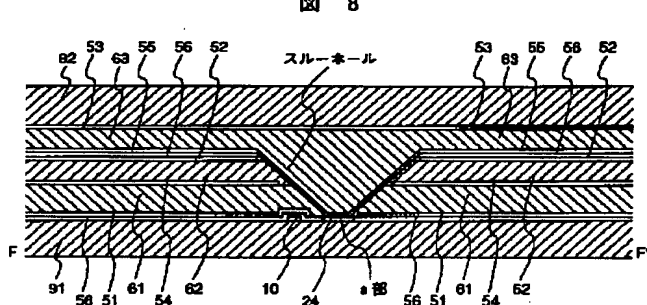
【図 7】

図 7



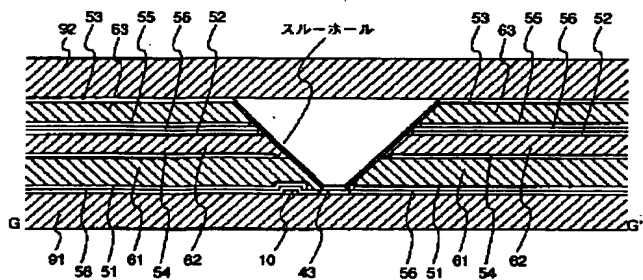
【図 8】

図 8



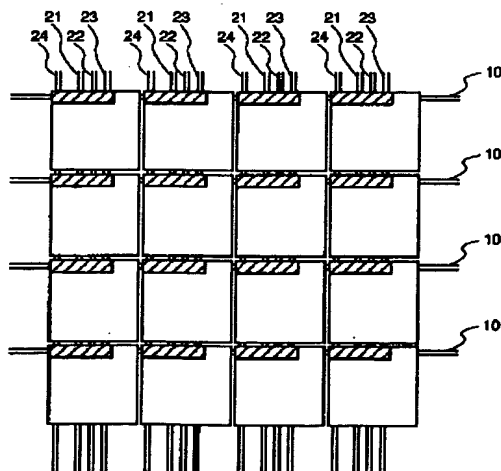
【図 9】

図 9



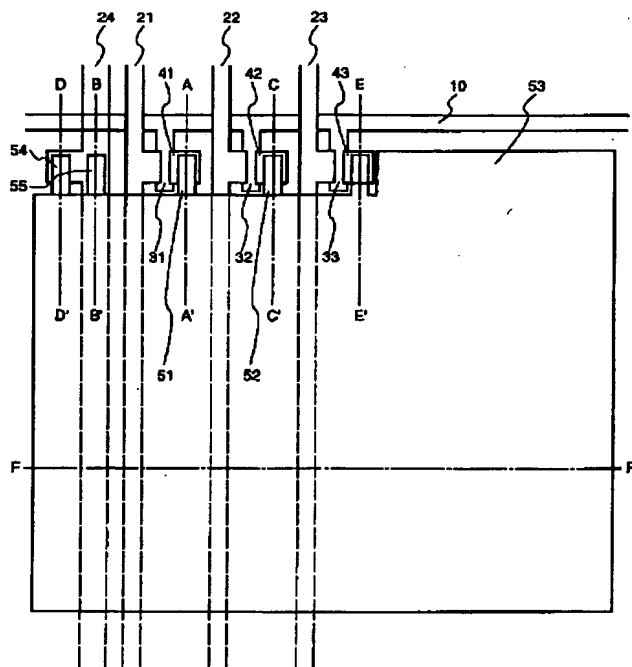
【図 10】

図 10



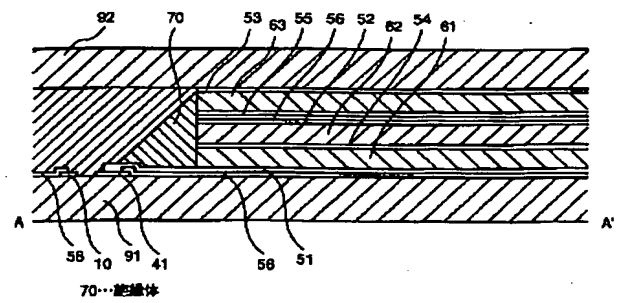
【図11】

図 11



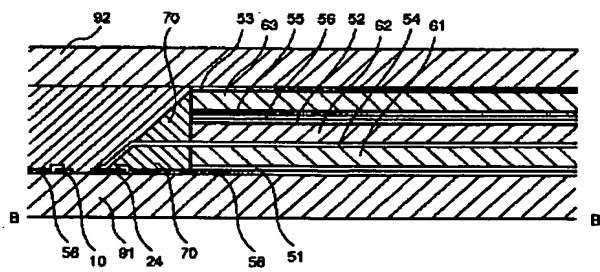
【図12】

図 12



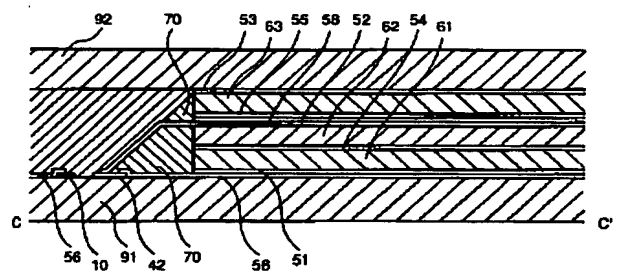
【図13】

図 13



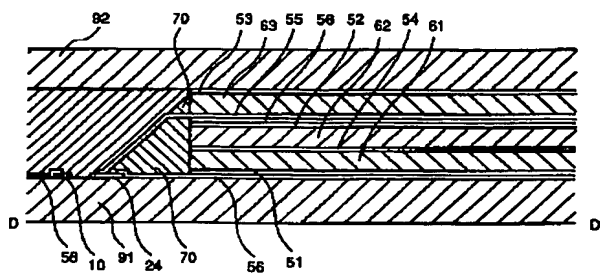
【図14】

図 14



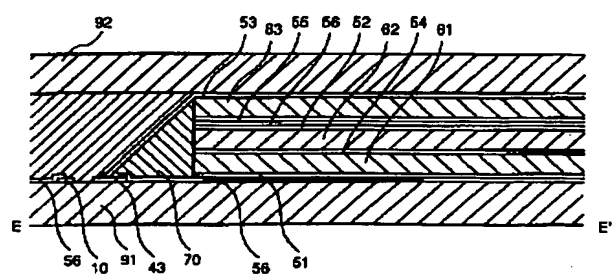
【図15】

図 15



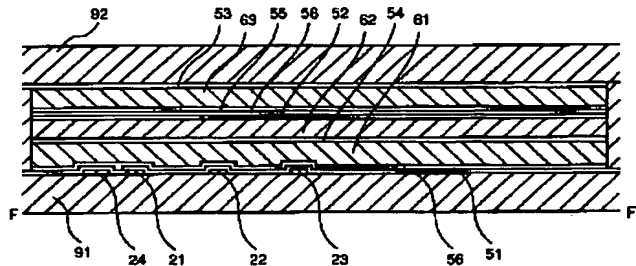
【図16】

図 16



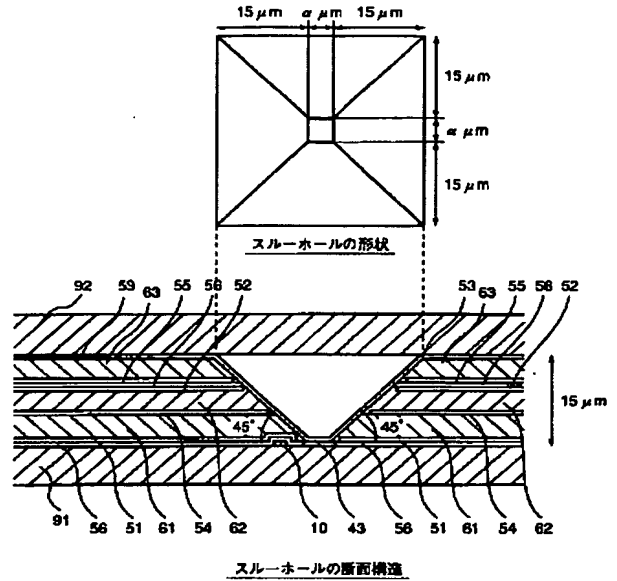
【図 17】

図 17



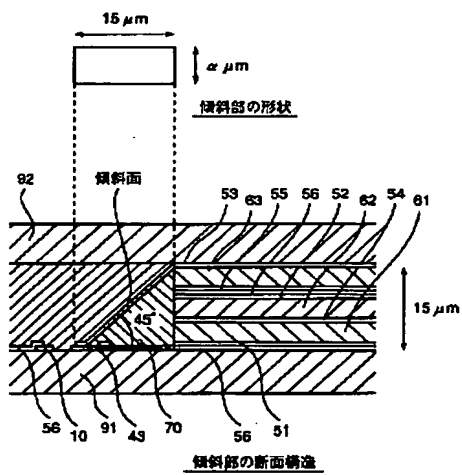
【図 18】

図 18



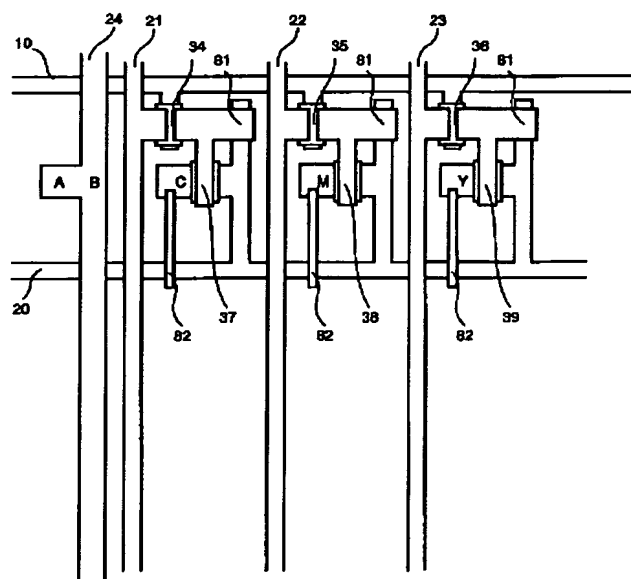
【図 19】

図 19



【図 20】

図 20



34...シアン・メモリTFT 35...マゼンダ・メモリTFT 36...イエロー・メモリTFT
 37...シアン・画素TFT 38...マゼンダ・画素TFT 39...イエロー・画素TFT
 81...メモリ保持容量 82...画素容量

